

JUL 11 1981  
JUL 19 1981

**(54) MANUFACTURE OF SEMICONDUCTOR DEVICE**

(11) 1-187931 (A) (43) 27.7.1989 (19) JP

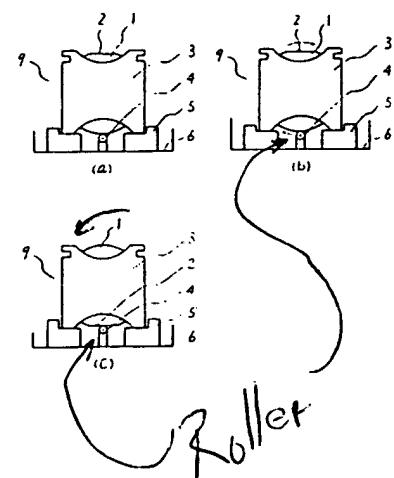
(21) Appl. No. 63-13074 (22) 22.1.1988

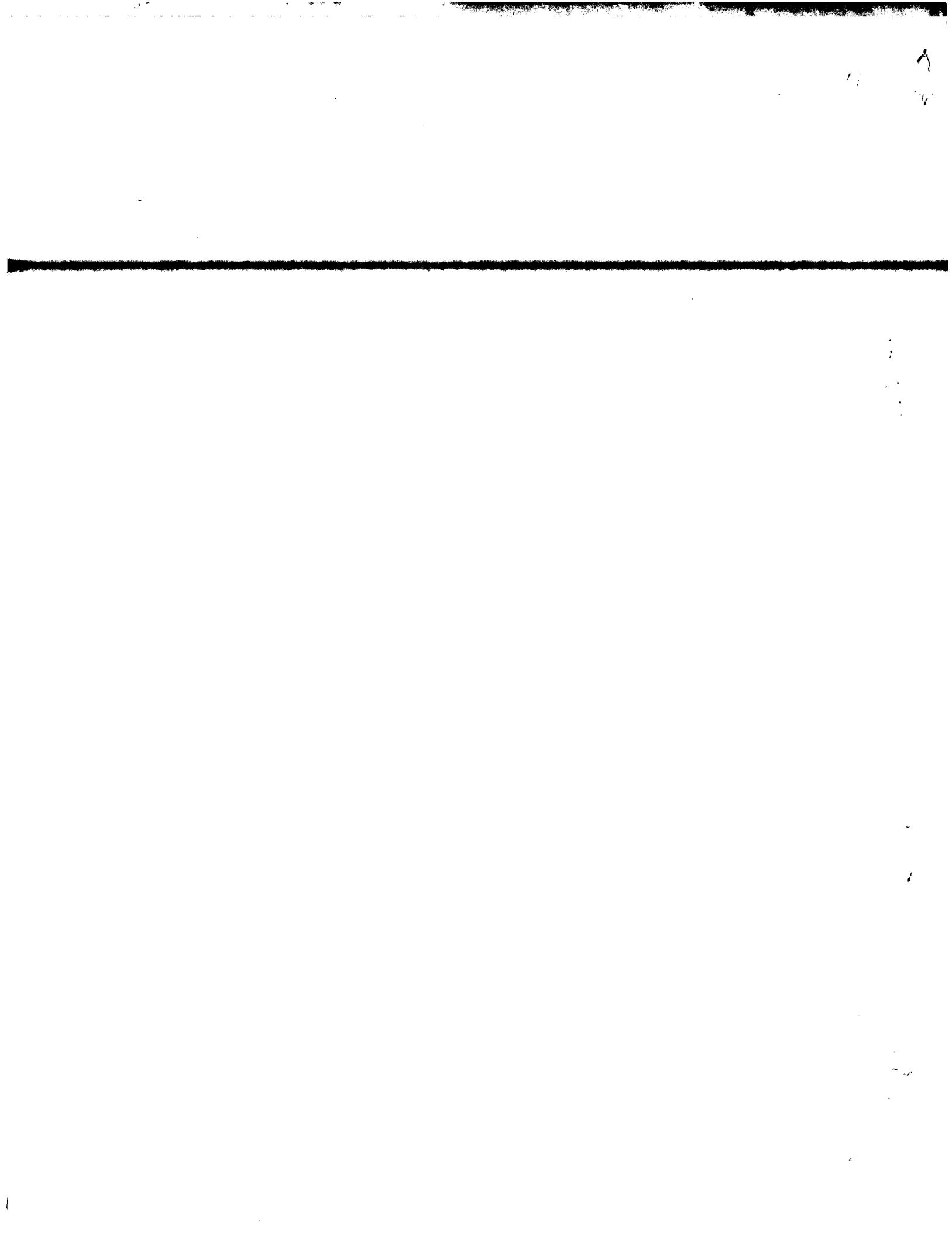
(71) NEC YAMAGATA LTD (72) TAKASHI HIROSE

(51) Int. Cl. H01L21/306

**PURPOSE:** To perform a chemical treatment of a semiconductor wafer surface uniformly controllable of time difference of surface treatments by housing semiconductor wafers in a semiconductor wafer housing jig, submerging them in a chemical vessel until half of prescribed time passes, rotating them 180 degrees in the chemical vessel and submerging them until the residual time of the prescribed time is over.

**CONSTITUTION:** After semiconductor wafers 1 are housed in a semiconductor wafer housing jig 3 and submerged until half of prescribed time in a chemical vessel passes, the semiconductor wafers 1 are rotated 180 degrees in the chemical vessel and submerged until the residual time of the prescribed time is over. For example, the semiconductor wafers 1 are set on a carrier 3 by turning up its orientation flat 2 and lower in the chemical vessel. Next, after a circular column (orientation flat aligner) 4 provided on the bottom part 6 of the chemical vessel rotates on its axis, the semiconductor wafers 1 are rotated and the orientation flat 2 is turned down at the time point when the surface treatment of the semiconductor wafers 1 is advanced and half of chemical treatment time passes, the residual half chemical liquid time is made to pass.





⑯ 日本国特許庁 (JP)

⑯ 特許出願公開

⑯ 公開特許公報 (A) 平1-187931

⑯ Int. Cl.

H 01 L 21/306

識別記号

府内整理番号  
A-7342-5F

⑯ 公開 平成1年(1989)7月27日

審査請求 未請求 請求項の数 1 (全3頁)

⑯ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭63-13074

⑯ 出 願 昭63(1988)1月22日

⑯ 発明者 広瀬 隆 山形県山形市北町4丁目12番12号 山形日本電気株式会社  
内

⑯ 出願人 山形日本電気株式会社

⑯ 代理人 弁理士 内原 晋

### 明細書

発明の名称

半導体装置の製造方法

特許請求の範囲

半導体ウェーハを半導体ウェーハ収納用治具に収納して薬液槽内に設定時間の1/2が経過するまで浸漬する工程と、前記半導体ウェーハを薬液槽内で180度回転させ前記設定時間の残り時間の終了まで浸漬する工程とを含むことを特徴とする半導体装置の製造方法。

発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置の製造方法に関し、特に半導体ウェーハ表面の薬液処理の方法に関する。

〔従来の技術〕

第3図(a)～(c)は従来の半導体ウェーハの薬液による表面処理工程図で、まず第3図

(a)に示すように、半導体ウェーハ1を収納した半導体ウェーハ収納用治具(以下キャリアといふ)3を薬液9の入った槽に入れ、設定された時間が経過すると、つぎの第3図(b)、(c)のようにキャリア3を薬液槽よりそのまま取り出し、薬液9を洗い落とすため洗浄槽(図示しない)へ移すという手法がとられている。ここで、2および8は半導体ウェーハ1のオリエンテーション・フラットおよび半導体ウェーハ収納用治具3のハンガーをそれぞれ示す。

〔発明が解決しようとする問題点〕

しかしながら、上述した従来の薬液による表面処理方法では、半導体ウェーハの表面処理(例えば、エッティング処理)を行なうため、半導体ウェーハを収納したキャリアを薬液槽(例えばバッファードフッ酸溶液槽)に入れる最初の工程について見ると、第3図(a)から明かなように、当然キャリア3の下方部が先に入り、最後に上方部が薬液9内に入ることになる。従って、キャリア3の上方部と下方部ではこのキャリアの出し入れに

より、半導体ウェーハ面内で表面処理量（時間）の差（例えばエッチング量の差）が生じるので、半導体ウェーハ面内を均一に制御することが難しいという問題点がある。特に、自動搬送機構を使用する場合では搬送系の上下運動（キャリアの取り入れ）が手動に比べて遅いため、この現象がより一層生じやすい。特にバッファードフッ酸溶液を用いてリンを多く含んだCVD膜（PSG膜）をエッチング処理する時には、エッチングレートが非常に速いためこの現象による不都合さはきわめて顕著となる。

本発明の目的は、上記の状況に鑑み、表面処理の時間差を均一に制御し得る半導体ウェーハ表面の薬液処理工程を備えた半導体装置の製造方法を提供することである。

〔問題点を解決するための手段〕

本発明によれば、半導体装置の製造方法は、半導体ウェーハを半導体ウェーハ収納用治具に収納して薬液槽内に設定時間の1/2が経過するまで浸漬する工程と、前記半導体ウェーハを薬液槽内

で180度回転させ前記設定時間の残り時間の終了まで浸漬する工程とを含んで構成される。

〔実施例〕

以下図面を参照して本発明を詳細に説明する。第1図(a)～(c)は本発明の一実施例を示す半導体ウェーハの薬液による表面処理工程図である。本実施例によれば、半導体ウェーハ1はそのオリエンテーション・フラット2を上方に向けてキャリア3にセットされ、ついで薬液槽内にころされる〔第1図(a)参照〕。ここで、5は薬液槽の底部6に設けたキャリア位置決め台座である。つぎに半導体ウェーハ1の表面処理が進行し薬液処理時間の半分が経過した時点で、薬液槽の底部6に設けた円柱4（オリエンテーション・フラット・アライナー）を矢印の如く自転させる〔第1図(b)参照〕。この円柱4の回転により半導体ウェーハを回転させ、オリエンテーション・フラット2を下向に向けさせた後、残る半分の薬液時間を経過させる〔第1図(c)参照〕。このようにして設定された薬液処理時間が終了し

た時点でキャリア3を取り出せば、キャリア3の上方部と下方部における薬液処理時間の差が互いに相殺されているので、面全体が均一に薬液処理された半導体ウェーハを得ることができる。

第2図(a)～(c)は本発明の他の実施例を示す半導体ウェーハの薬液による表面処理工程図である。本実施例によれば、半導体ウェーハ1は上下に固定板7を設けたキャリア3ごとと一緒に薬液槽（図示しない）内で180度回転される。この手法による場合でも前実施例と同様に従来法のキャリア3の出し入れ時に生じるキャリア3上方部と下方部における薬液処理時間の差を相殺させることができる。

〔発明の効果〕

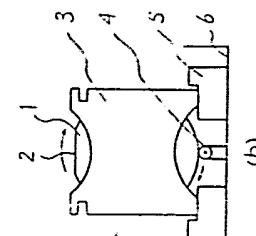
以上説明したように、本発明によれば、薬液槽にキャリアを出し入れする際に、従来生じていた半導体ウェーハの上方部と下方部の時間処理差問題を解決することができるので、半導体ウェーハ全体の表面処理を均一に精度よく行い得る効果を有する。

図面の簡単な説明

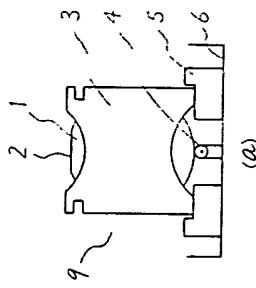
第1図(a)～(c)は本発明の一実施例を示す半導体ウェーハの薬液による表面処理工程図、第2図(a)～(c)は本発明の他の実施例を示す半導体ウェーハの薬液による表面処理工程図、第3図は従来の半導体ウェーハの薬液による表面処理工程図である。

1…半導体ウェーハ、2…半導体ウェーハのオリエンテーション・フラット、3…半導体ウェーハ用収納治具、4…円柱（オリエンテーション・フラット・アライナー）、5…半導体ウェーハ用収納治具位置決め台座、6…薬液槽底部、7…半導体ウェーハおよび半導体ウェーハ用収納治具の固定板、8…半導体ウェーハ用収納治具ハンガー、9…薬液。

代理人 弁理士 内原晋



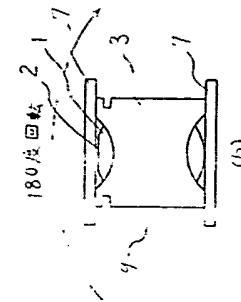
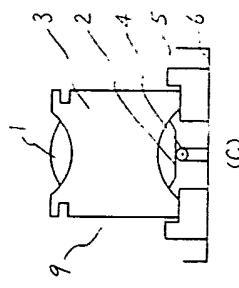
(a)



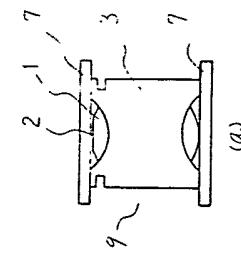
(b)

第1図

1 半導体素子  
2 半導体素子の構成部  
3 内柱  
4 内柱用支持部  
5 内柱用支持部  
6 内柱用支持部  
7 基板

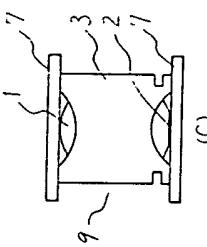


(a)



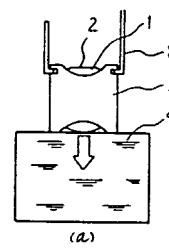
(b)

第2図

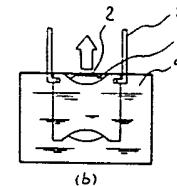


(c)

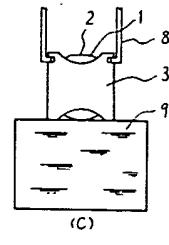
7 半導体素子の構成部  
14 内柱  
16 内柱用支持部  
18 基板



(a)



(b)



(c)

第3図

